

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 04196263  
PUBLICATION DATE : 16-07-92

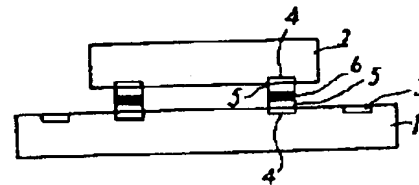
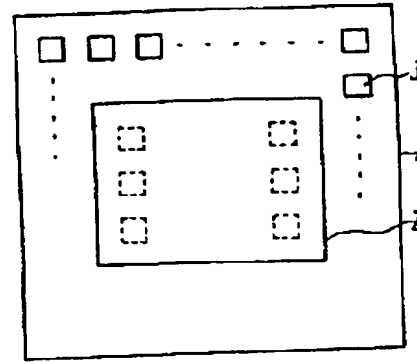
APPLICATION DATE : 27-11-90  
APPLICATION NUMBER : 02326896

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : HAMANO HIROYUKI;

INT.CL. : H01L 25/065 G11C 29/00 H01L 25/07  
H01L 25/18 H01L 27/00

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT



**ABSTRACT :** PURPOSE: To make possible the realization of a chip size, which does not depend on a memory capacity, and to make it possible to obtain a large-scale semiconductor integrated circuit by a method wherein a memory circuit and a peripheral circuit for memory circuit use or a memory circuit and one part of a peripheral circuit for memory circuit use are respectively formed into the constitution of a separate chip.

CONSTITUTION: The mutual chips of a parent chip 1 and a memory function chip 2 are respectively connected to the upper part of the chip 1 and the upper part of the chip 2 and pads 4 for bonding use are provided for feeding necessary signal or power supply from the chip 1 to the chip 2. A material 5 for ohmic contact use and a metal bonding material 6 are placed on these pads, the pads are made to face each other and the chips 1 and 2 are bonded together in a such a way that the signals or power pads of chips 1 and 2 are made to oppose to each other. Thereby, a memory circuit constituted on one chip constituted as a separate chip and a large-scale semiconductor integrated circuit can be obtained.

COPYRIGHT: (C)1992,JPO&Japio

Best Available Copy

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平4-196263

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月16日

H 01 L 25/065  
G 11 C 29/00  
H 01 L 25/07  
25/18  
27/00

3 0 1 B

8526-5L

3 0 1 C

7514-4M  
7638-4M

H 01 L 25/08

B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-326896

⑰ 出 願 平2(1990)11月27日

⑱ 発 明 者 浜 野 博 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体集積回路

## 2. 特許請求の範囲

半導体集積回路本体からなる親チップ、メモリ回路およびデコーダ等のメモリ周辺回路からなるメモリ機能チップ、上記親チップとメモリ機能チップとのそれぞれに互いを接続するに必要な信号パッドあるいは電源パッドを設け、上記信号パッドあるいは電源パッド上にオーミックコンタクト可能な金属材料をそれぞれ積層し、上記金属材料上に金属接合材料を載せて上記親チップおよびメモリ機能チップを向かい合わせにし、上記親チップと機能メモリチップの互いの各信号あるいは各電源パッドを相対させて金属接合したことを特徴とする半導体集積回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体集積回路に関し、特に大規模半導体集積回路に関するものである。

(従来技術)

第2図は従来の半導体集積回路を示す平面図である。図において、(1)はチップ、(2a)はメモリ部(RAM)、(2b)はメモリ部(RAMデューダ)、(2c)はメモリ部(ROM)、(2d)はメモリ部(ROMデューダ)、(8)は周辺パッド、(7)はCPU部である。

次に作用について説明する。

従来の半導体集積回路は上記のように構成され、チップ(1)の上にメモリ部(2a)～(2d)、周辺パッド(8)、及びCPU部(7)が混在して形成されている。

(発明が解決しようとする課題)

従来の半導体集積回路は以上のように構成されているので、メモリ容量が増大すると、チップサイズも大きくなるとともに、チップサイズの制限から、メモリ容量を制限しなければならないなどの問題点があつた。

この発明は上記のような問題点を解消するためになされたもので、1チップ上に構成されているメモリ回路を別チップとして構成し、大規模半導

特開平4-196263 (2)

体集積回路を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体集積回路は親チップとメモリ機能チップとを接続するパッドの上にオーミックコンタクト用金属材料と金属接合材料を載せ、互いのチップを向かい合せて、各信号あるいは電源パッドを相対させて金属接合したものである。

(作用)

この発明における接合方法はチップから分離させたメモリ回路及びメモリ回路用周辺回路、又はメモリ回路及びメモリ回路用周辺回路の一部をチップ化し、親チップとメモリ機能チップ上のパッドの上に載せた金属接合材料により各信号あるいは電源パッドを相対させて接合する。

(実施例)

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例による半導体集積回路を示す図で、第1図(a)は平面図、第1図(b)は断面図である。図において、(1)は半導体集積回路本体からなる親チップ、(2)はメモリ機能チップ

、(8)は親チップ(1)上に設けられた周辺パッド、(4)は親チップ(1)、メモリ機能チップ(2)上に設けられ、互いを接続するための接合用パッド、(5)は接合用パッド(4)上に積層し、接合用パッド(4)と下記金属接合材料(6)とのオーミックコンタクトをとり、親チップ(1)、メモリ機能チップ(2)の面間のスペースを保ち、接触をさけるためのオーミックコンタクト用金属材料、(6)は親チップ(1)とメモリ機能チップ(2)を接合するためのはんだ等の金属接合材料である。

次に動作について説明する。

上記のように構成された半導体集積回路においては、親チップ(1)及びメモリ機能チップ(2)上に、互いのチップを接続し、メモリ機能チップ(2)に必要な信号あるいは電源を親チップより供給するために接合用パッド(4)を設け、この上にオーミックコンタクト用金属材料(5)と金属接合材料(6)を載せ、向かい合せて、互いの各信号あるいは電源パッド相対させて接合する。なお、メモリ機能チップ内にはメモリに必要なデコーダも含まれる。

なお上記実施例ではメモリ回路を別チップ構成にすることを示したが、タイマ回路等の周辺回路を別チップ構成にしても良く、同様の効果を奏する。

(発明の効果)

以上のように、この発明によればメモリ回路及びメモリ回路用周辺回路、又はメモリ回路及びメモリ回路用周辺回路の一部を別チップ構成にしたので、メモリ容量に依存しないチップサイズが実現でき、大規模半導体集積回路を得られる効果がある。

#### 4. 図明の簡単な説明

第1図はこの発明の一実施例による半導体集積回路を示す図で、第1図(a)は平面図、第1図(b)は断面図、第2図は従来の半導体集積回路を示す平面図である。

図において、(1)は親チップ、(2)はメモリ機能チップ、(8)は周辺パッド、(4)は接合用パッド、(5)はオーミックコンタクト用金属材料、(6)は金属接合材料である。

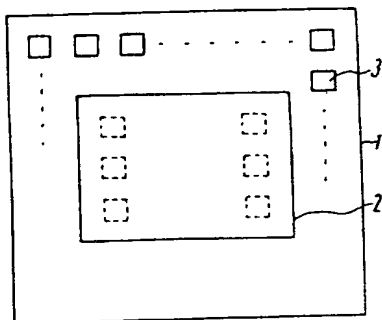
なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄

特開平4-196263(3)

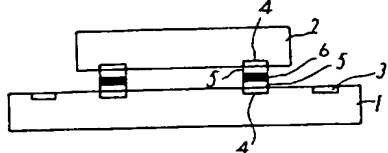
第1図

(a)

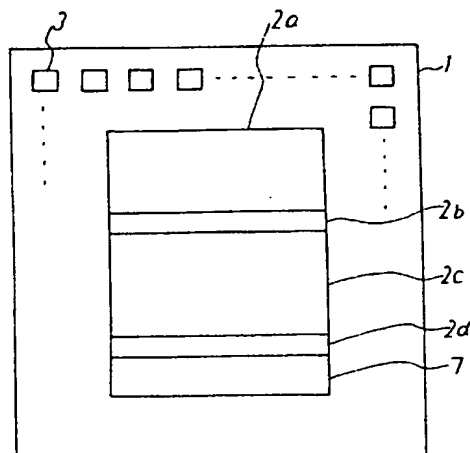


- 1: 親チップ
- 2: メモリ機能チップ
- 3: 周辺パッド
- 4: 接合用パッド
- 5: オミットコンタクト用金属材料
- 6: 金属接合材料

(b)



第2図



- 2a: メモリ部(RAM)
- 2b: メモリ部(RAMデコーダ)
- 2c: メモリ部(ROM)
- 2d: メモリ部(ROMデコーダ)
- 7: CPU部

手続補正書(自発)

平成 3年 8月 5日

特許庁長官殿

1. 事件の表示 特願平 2-826096 号

2. 発明の名称  
半導体集積回路

3. 補正をする者

事件との関係 特許出願人  
住所 東京都千代田区丸の内二丁目2番3号  
名称 (601)三菱電機株式会社  
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏名 (7375)弁理士 大岩増雄  
(連絡先 03(3213)3421特許部)

5. 補正の対象

明細書の特許請求の範囲の欄、及び発明の詳細な説明の欄。

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙のとおり訂正する。

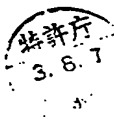
(2) 明細書第5頁第7行～第8行「メモリ回路用周辺回路」を「メモリ回路用周辺回路」と訂正する。

7. 添付書類の目録

(1) 訂正後の特許請求の範囲を記載した書面

1 通

以上



特開平4-196263(4)

## 特許請求の範囲

半導体集積回路本体からなる親チップ、メモリ回路およびデコード等のメモリ周辺回路からなるメモリ機能チップ、上記親チップとメモリ機能チップとのそれぞれに互いを接続に必要な信号パッドあるいは電源パッドを設け、上記信号パッドあるいは電源パッド上にオーミックコンタクト可能な金属材料をそれぞれ積層し、上記金属材料上に金属接合材料を載せて上記親チップおよびメモリ機能チップを向かい合わせにし、上記親チップとメモリ機能チップの互いの各信号あるいは各電源パッドを相対させて金属接合したことを特徴とする半導体集積回路。